

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-141414

(P2002-141414A)

(43)公開日 平成14年5月17日(2002.5.17)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/822		H 0 1 L 27/04	T 2 G 1 3 2
G 0 1 R 31/28		G 0 1 R 31/28	F 5 F 0 3 8
	31/3185		W 5 F 0 6 4
H 0 1 L 21/82			P
27/04			V

審査請求 未請求 請求項の数3 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願2001-242163(P2001-242163)

(22)出願日 平成13年8月9日(2001.8.9)

(31)優先権主張番号 1 0 0 3 9 0 0 4 . 8

(32)優先日 平成12年8月10日(2000.8.10)

(33)優先権主張国 ドイツ (D E)

(71)出願人 590000248

コーニンクレッカ フィリップス エレク
トロニクス エヌ ヴィ

Koninklijke Philips
Electronics N. V.

オランダ国 5621 ペーアー アインドー
フェン フルーネヴァウツウェッハ 1

(72)発明者 フリードリッヒ、ハブケ

ドイツ連邦共和国ビンセンノルーエ、グラ
ッペンカンフ、16

(74)代理人 100075812

弁理士 吉武 賢次 (外5名)

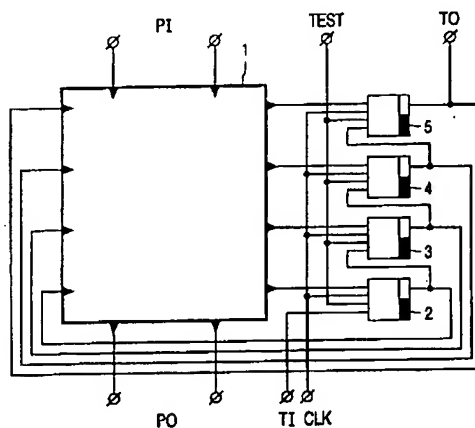
最終頁に続く

(54)【発明の名称】 集積回路を試験する装置および方法

(57)【要約】 (修正有)

【課題】 組合せ試験サンプル生成器で動作する、組合せ論理システム内のエッジ検査を可能にする試験装置および試験方法を提供する。

【解決手段】 試験ソフトウェアが試験すべき組合せ論理システム1の2つの同一ソフトウェアモデルを含み、その試験ソフトウェアで、これらのソフトウェアモデルの第1のモデルに試験のために試験サンプルが与えられ、その出力信号がこれらのソフトウェアモデルの第2のモデルに結合される。集積回路は、バッファメモリ2、3、4、5を含む試験回路を備え、試験サンプルを集積回路の論理システム1の入力に与え、バッファメモリ2、3、4、5内の集積回路の組合せ論理システムの結果を第2のソフトウェアモデルの結果と比較することで、組合せ論理システム(1)の信号エッジ挙動が検査される。



【特許請求の範囲】

【請求項 1】 組合せ論理システムを含む集積回路の公称の挙動をエミュレートする試験ソフトウェアとの比較で前記組合せ論理システムの挙動の試験を行って前記集積回路を試験する装置であって、

前記試験ソフトウェアは、試験すべき前記組合せ論理システムの 2 つの同一ソフトウェアモデルであって、試験のために、これらのソフトウェアモデルの第 1 のモデルに試験サンプルが与えられ、その出力信号がこれらのソフトウェアモデルの第 2 のモデルに結合されるソフトウェアモデルを備え、

前記集積回路は、試験モードにおいて、第 1 の試験クロックサイクルにおいて試験サンプルを前記集積回路の前記組合せ論理システムの入力に与えてその出力信号をバッファメモリに引き継ぎ、さらに、第 2 の試験クロックサイクルにおいて前記試験サンプルを前記組合せ論理システムの入力に帰還し、前記組合せ論理システムの出力信号を前記バッファメモリに再び引き継ぐ試験回路を備え、
前記第 2 の試験クロックサイクルの終りに、前記バッファメモリにおける、前記集積回路の前記組合せ論理システムの結果を前記第 2 のソフトウェアモデルの結果と比較することを特徴とする装置。

【請求項 2】 前記バッファメモリはシフトレジスタとして構成され、このシフトレジスタによって、前記試験サンプルが読み出され、および／または書き込まれることを特徴とする、請求項 1 に記載の装置。

【請求項 3】 組合せ論理システムの挙動を、この組合せ論理システムを含む集積回路の公称の挙動をエミュレートする試験ソフトウェアと比較して前記集積回路を試験する方法であって、

前記試験ソフトウェアは、試験すべき前記組合せ論理システムの 2 つの同一ソフトウェアモデルを備え、試験のために試験サンプルをこれらのソフトウェアモデルの第 1 のモデルに与え、その出力信号をこれらのソフトウェアモデルの第 2 のモデルに結合し、

前記集積回路は、試験回路を備え、試験モードで、第 1 の試験クロックサイクルで前記集積回路の前記組合せ論理システムの入力に試験サンプルを与えてその出力信号をバッファメモリに引き継ぎ、第 2 の試験クロックサイクルで前記試験サンプルを前記組合せ論理システムの入力に帰還し、この組合せ論理システムの出力信号を前記バッファメモリに再び引き継ぎ、さらに、前記第 2 の試験クロックサイクルの終りに、前記バッファメモリにおける、前記集積回路の前記組合せ論理システムの結果を前記第 2 のソフトウェアモデルの結果と比較することを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、組合せ論理システ

ムを含む集積回路を試験する装置および方法に関する。この装置は、集積回路の公称の挙動をエミュレートする試験ソフトウェアと比較して、組合せ論理システムの挙動の試験を行う。

【0002】

【従来の技術】 集積回路は、通常、製造後に試験される。すなわち、望み通りに動作するかどうか検査される。公知の方法は、いわゆるスタックアトエラーモデル（エラーで突き刺されるモデル）である。このエラーモデルでは、組合せ論理システムの要素ごとに、その入力および／または出力が正電源電位および／または基準電位と必要以上に強い結合を有するかどうか個々に検査される。この試験方法は多かれ少なかれ静的な方法であり、この方法では、エッジ遷移の検査はすることができない。この重要な欠点は、動作の比較的簡単な構造とモードを有するいわゆる組合せ試験サンプル生成器が使用できることで埋合せされている。

【0003】 従来技術で公知の方法では、エッジ遷移も検査すべき時に、いわゆる逐次試験サンプル生成器が使用されなければならない。その生成器は、例えば、2 個の試験クロックで、組合せ論理システムの状態を検査し、したがって、エッジ遷移の試験も可能にする。この解決方法の重大な欠点は、そのような逐次試験サンプル生成器は非常に複雑で、したがって高価であることである。さらに、非常に多数の試験ベクタがこの試験のために生成されなければならないので、そのような試験もまた複雑である。このような逐次試験サンプル生成器を使用する方法の例は、米国特許第 5, 377, 197 で公知である。

【0004】

【発明が解決しようとする課題】 本発明の目的は、組合せ試験サンプル生成器で動作することができ、さらに組合せ論理システム内のエッジの検査を可能にする試験装置および試験方法を提供することである。

【0005】

【課題を解決するための手段】 本発明による試験装置では、この目的は、試験ソフトウェアが、試験すべき組合せ論理システムの 2 つの同一ソフトウェアモデルを備え、上記試験ソフトウェアで、試験のために、試験サンプルが、これらのソフトウェアモデルの第 1 のモデルに与えられ、その出力信号がこれらのソフトウェアモデルの第 2 のモデルに結合され、また、上記集積回路が、試験モードで、第 1 の試験クロックサイクルで上記集積回路の上記組合せ論理システムの入力に試験サンプルを与え、上記出力信号をバッファメモリに引き継ぎ、さらに、第 2 の試験クロックサイクルで、この試験サンプルを上記組合せ論理システムの入力に帰還し、上記組合せ論理システムの出力信号を再び上記バッファメモリに引き継ぎ、さらに、上記第 2 の試験クロックサイクルの終りに、本装置が、上記バッファメモリ内における、上記

集積回路の上記組合せ論理システムの結果を上記第2のソフトウェアモデルの結果と比較することで解決される。

【0006】試験すべき上記組合せ論理システムを含む上記集積回路は、例えばゲートのような異なった種類の回路要素を含む場合も、また特に、記憶構成要素を含まない場合もあり、上記集積回路はソフトウェアモデルによりエミュレートされる。このソフトウェアモデルはコンピュータで実行させることができる。上記組合せ論理システムの挙動、より正確には公称の挙動をエミュレート、すなわち複製するような方法で、上記ソフトウェアモデルは実行される。本発明にかかる装置の基本的特性の特徴は、上記組合せ論理システムのこの論理モデルが二重の態様で提供されることである。このように、より具体的には、試験すべき上記組合せ論理システムの2つの同一の連続して配列された論理モデルに関する。試験サンプルが第1のソフトウェアモデルに与えられる時に、その出力信号が第2のソフトウェアモデルに入力信号として与えられる。第2のソフトウェアモデルの出力信号は、さらに詳述する方法で試験のために評価される。

【0007】実際に試験すべき集積回路、すなわちハードウェアは、試験モードでアクティブな状態である試験回路を含む。この試験回路は、上記組合せ論理システムを通して試験サンプルを連続して二度実行させるために使用されるバッファメモリを備える。これは、第1の試験クロックサイクル中に集積回路の組合せ論理システムの入力に与えられる試験サンプルが、この試験クロックの終りに上記バッファメモリ内に引き継がれることで達成される。この結果は、第2の試験クロックサイクル中に再び上記組合せ論理システムの入力に与えられ、この第2の試験クロックサイクルの終りに上記バッファメモリ内に試験結果として利用できる。また、実際のハードウェア、すなわち上記集積回路内の上記組合せ論理システムでは、試験サンプルはこの論理システムを二度連続して通過し、それによって変化する。

【0008】1つの試験クロックサイクルでは、試験サンプルは、上記ハードウェアと上記ソフトウェアモデルの両方で、二度連続して上記組合せ論理システムを通過するので、その動的挙動、すなわちエッジ挙動を検査することができる。上記第1の試験クロックサイクルで、ある特定の状態が上記組合せ論理システム内に生成される。この状態は、上記第2の試験クロックサイクルで新しい状態に置き換わる。上記第2の試験クロックサイクルの終りに上記状態を検査することで、上記組合せ論理システムの全ての要素が上記第1の試験クロックサイクルの第1の状態から上記第2の試験クロックサイクルの状態への変化を行ったかどうかを検査することができる。

【0009】上記集積回路およびこの回路に設けられた

上記組合せ論理システムの動作のモードを検査するために、上記第2の試験クロックサイクルの終りに、上記集積回路内における上記バッファメモリの結果を、2つの連続して配列されたソフトウェアモデルの結果と比較する。この比較によって、上記集積回路内の上記組合せ論理システムが所望の公称の挙動をしているかどうかが直接的に示される。

【0010】本発明にかかる試験装置では、比較的簡単な組合せ試験サンプル生成器で試験サンプルを生成することができる。これにより、試験の手間とコストが実際に低減される。上述した試験クロックサイクルおよび二重ソフトウェアモデルに基づいて、上記組合せ論理システムの信号のエッジもやはり試験することができる。

【0011】請求項2に規定するような本発明の実施の一態様において、上記バッファメモリはシフトレジスタとして構成され、このシフトレジスタによって、試験サンプルは書き込まれ、および／または読み出される。このようにして、上記バッファメモリは、上記組合せ論理システムから並列にデータを引き継ぎ、それを上記組合せ論理システムの入力に与えることができる。さらに、バッファメモリは試験サンプルを直列に書き込み、または読み出すことができる。

【0012】本発明によれば、上記目的はまた、請求項3に規定するような試験方法で解決することができる。

【0013】本発明のこれらおよび他の態様は、以下で説明する実施形態から明らかになり、これらの実施形態を参照して説明する。

【0014】

【発明の実施の形態】図1は集積回路の要素を図で示す。集積回路で、特に組合せ論理システム1を検査しなければならない。そのような検査プロセスは、集積回路および組合せ論理システムの製造後に、その適切な挙動を検査するために有用である。これは、ハードウェア、すなわち製造プロセス後に得られた組合せ論理システム1の集積回路に関係する。

【0015】集積回路は、フリップフロップ2、3、4および5を含む試験回路を備える。これらのフリップフロップは、組合せ論理システム1の試験結果を格納し、また試験サンプルを書き込みさらに読み出すためのバッファメモリとして使用する。

【0016】この目的のために、シフトレジスタ2、3、4、および5の第1の入力は、組合せ論理システム1の出力に結合する。組合せ論理システム1からのデータは、試験中に、これらの第1の入力を介して引き継がれる。これは、フリップフロップ2、3、4、および5のそれぞれのクロック入力に与えられるクロック信号CLKに依存して行われる。

【0017】同図において「TEST」で示す試験信号は、シフトレジスタ2、3、4および5のそれぞれの第3の入力に与える。この試験信号によって、回路全体を

試験モードに設定することができる。この試験モードでは、フリップフロップ2、3、4および5は第4の入力に切り換えられ、この第4の入力から、上記フリップフロップ2、3、4および5はデータを引き継ぐ。第1のフリップフロップ2は、試験サンプルである試験信号T1のデータを引き継ぐ。フリップフロップ2の出力はフリップフロップ3の第2の入力に結合され、フリップフロップ3の出力はフリップフロップ4の第2の入力に結合され、さらにフリップフロップ4の出力はフリップフロップ5の第2の入力に結合される。このようにして、試験信号TESTがアクティブな状態になった時に、シフトレジスタが得られる。このシフトレジスタによって、この動作モードでシフトレジスタを構成するフリップフロップ2、3、4および5のチェーンへの入力を介して、T1データの直列書込みが可能になる。対応する態様で、データをこのチェーンを介して読み出すこともできる。その読み出し動作はフリップフロップ5の出力を介して行われる。図1ではこの接続をT0で示し、この接続によって、フリップフロップ2から5に格納された試験サンプルを読み出すことができる。

【0018】さらに、組合せ論理システム1は、組合せ論理システムを実際に応用するために設けられた入力および出力である入力P1および出力P0を有する。また、これらの入力および出力は試験中アクティブな状態にあり、特に試験中に入力P1にデータが与えられる。

【0019】フリップフロップ2、3、4および5の出力は、組合せ論理システム1のそれぞれの入力に帰還される。

【0020】本実施形態によれば、回路を試験するプロセスで次の事象が起こる。

【0021】アクティブ状態の試験信号TESTの場合、最初に、本実施形態では4ビットから成る試験サンプルが入力T1を介してフリップフロップ2、3、4および5に書き込まれる。この状態ではフリップフロップ2～5は一種のシフトレジスタを構成するので、この書込みは直列に行われる。その後で、組合せ論理システムを試験するために試験クロックサイクルが行われ、そのサイクル中に、フリップフロップ2～5で構成されたシフトレジスタに書き込まれた試験サンプルは、組合せ論理システム1の入力に帰還され、組合せ論理システム1を通過し、変化する。この試験クロックサイクルの終わりに、対応するデータがフリップフロップ2、3、4および5に並列に引き継がれる。その後で、フリップフロップ2、3、4および5の出力に存在するこれらのデータが、第2の試験クロックサイクルで再び組合せ論理システム1を通過して実行される。そのとき再び変化したデータが、フリップフロップ2、3、4および5で再度引き継がれる。最後に、これらのデータは試験出力T0を介して直列に読み出される。

【0022】結果として、試験サンプルはこのようにし

て組合せ論理システムを二度通って実行される。第1の試験クロックサイクルで、組合せ論理システムの要素はある特定の状態を想定する。第2の通過によって、これらの状態は再び変化する。第2の試験クロックサイクルの終わりの状態を検査することで、検査すべき組合せ論理システム1の要素が、第1の試験クロックサイクルの終わりの状態から第2の試験クロックサイクルの終わりの公称の状態に変化したかどうかを検査することができる。

【0023】両方の試験クロックサイクルにたった1つの試験ベクタが用いられ、このベクタは連続して二度組合せ論理システムを通過して実行されるので、さらにまた、この試験ベクタは第2の試験クロックサイクルの終わりに一度だけ読み出せばよいので、いわゆる組合せ試験サンプル生成器を使用することができ、それは比較的簡単である。

【0024】試験結果を検査するために、図1に示す試験ソフトウェアが設けられる。試験ソフトウェアは、ハードウェアの組合せ論理システムすなわち図1の組合せ論理システム1の挙動をエミュレート、すなわち模倣する第1のソフトウェアモデル11を含む。第1のソフトウェアモデル11と同一の第2のソフトウェアモデル16が設けられ、これらのソフトウェアを図2に示す。したがって、この第2のソフトウェアモデルは、図1に示すハードウェア組合せ論理システムの挙動を同様にエミュレートする。第2のソフトウェアモデル16に、第1のソフトウェアモデル11が先行する。すなわち、第2のソフトウェアモデルが引き継ぐ入力信号は、第1のソフトウェアモデル11の出力信号である。

【0025】図2のソフトウェアモデルもまた、フリップフロップ12、13、14および15を含み、これらのフリップフロップは、図1の回路のハードウェアフリップフロップと同様に試験ソフトウェアに配列されている。また、ソフトウェアモデルのこれらのフリップフロップ12、13、14および15によって、ソフトウェアモデルからの試験サンプルの引き継ぎ、ソフトウェアモデルでのこれらの試験サンプルの読み出し、および、試験入力T1sおよび試験出力T0sを介した試験サンプルの書込みと読み出しが可能になる。

【0026】第1のソフトウェアモデル11は、図1の組合せ論理システム1の入力P1sに対応する主入力P11sを有する。同様に、第2のソフトウェアモデル16は主入力P12sを有する。第2のソフトウェアモデル16は、マルチプレクサ17および18とこれらに与えられる切換え信号P1Ssによって切り換えられ、入力信号P11sまたは入力信号P12sのいずれかを受け取ることができる。ソフトウェアモデルで、これらの信号はもちろん試験に使用される。これらの信号は、組合せ論理システム11と16のモデルで試験サンプルに重ね合わせられるので、これらの信号は絶対に必要である。第2のソフトウェアモデル16は、主出力P0sを

さらに有する。

【0027】ハードウェアについて図1を参照して上述したテストランは、図2のソフトウェアについて同様に行われる。最初に、試験サンプルは、フリップフロップ12、13、14および15の試験入力T1sを介して引き継がれる。その後で、この試験サンプルを2つのソフトウェアモデル11および16を通して実行させる。それから、第2のソフトウェアモデル16の出力信号は、再び、フリップフロップ12、13、14および15で引き継ぎ、試験出力TESTsを介して読み出すことができる。

【0028】組合せ論理システムは、図2の試験ソフトウェア内に二重ソフトウェアモデル11および16として設けるので、この場合にはソフトウェアモデルによる二度の通過は必要でない。対照的に、第2のソフトウェアモデル16で、2つの試験クロックサイクルの後で公称の結果が得られる。この結果を、図1のハードウェアの2つの試験クロックサイクルで生成された結果と比較する。この結果は、図1の回路の試験出力TOを介して最終的に読み出すことができる。

【0029】試験サンプルが図1のハードウェアの組合せ論理システム1を二重連続して実行されるということ、および図2のこの組合せ論理システムのソフトウェアモデルはソフトウェアモデル11および16の形態で二重になっているために、簡単な組合せ試験サンプル生成器を使用することができ、さらに、それにもかかわらず、組合せ論理システム1の回路要素の動的挙動、特にエッジ挙動について結論を出すことができる試験が可能である。これは、第1の状態から第2の状態への遷移を検査することができるように、組合せ論理システム1内
30
で2つの状態が次々と生成されることで可能である。これは、組合せ論理システム1の回路要素の動的挙動また*

*はエッジ挙動を検査することに対応する。

【0030】

【発明の効果】以上詳述したとおり、本発明は以下の効果を奏する。

【0031】即ち、本発明によれば、試験サンプルが集積回路内の組み合わせ論理回路を連続して二度通過し、第2の試験クロックサイクルの終りで上記集積回路内における上記バッファメモリの結果を、2つの連続して配列されたソフトウェアモデルの結果と比較するので、上記組合せ論理システムが所望の公称の挙動をしているかどうかを直接判定することができる。

【0032】また、試験サンプルが上記組み合わせ論理回路を連続して二度通過し、かつ、ソフトウェアが二重の態様になっているので、上記試験サンプルを比較的簡単な組合せ試験サンプル生成器で生成することができる。これにより、試験の手間とコストが実際に低減される。さらに、第1および第2の試験クロックサイクルおよび二重ソフトウェアモデルに基づいて、上記組合せ論理システムの信号のエッジをも試験することができる。

20 【図面の簡単な説明】

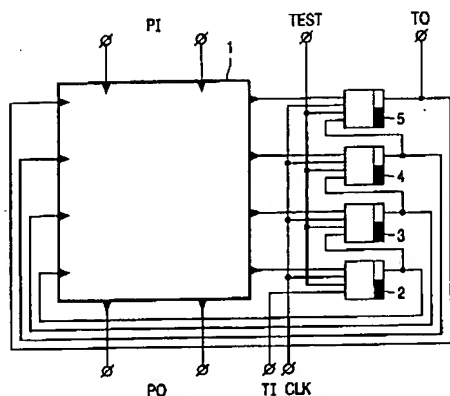
【図1】試験回路と共に、試験すべき組合せ論理システムを図で示す。

【図2】図1の集積回路の組合せ論理システムをエミュレートするために、ソフトウェアモデルが二重の態様で存在する試験ソフトウェアを図で示す。

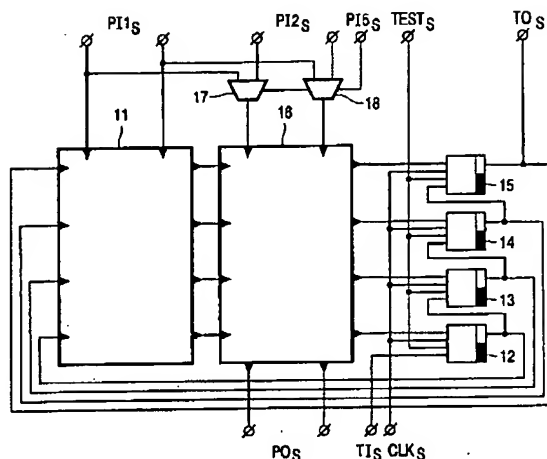
【符号の説明】

- 1 組合せ論理システム
- 2～5 フリップフロップ（バッファメモリまたはシフトレジスタ）
- 11 第1のソフトウェアモデル
- 12～15 フリップフロップ
- 16 第2のソフトウェアモデル

【図1】



【図2】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I H O 1 L 21/82	テ-マコード(参考) T
(71)出願人	590000248 G r o e n e w o u d s e w e g 1, 5621 B A E i n d h o v e n, T h e N e t h e r l a n d s	F タ-ム(参考) 2G132 AA01 AB01 AC10 AC11 AK07 AK15 5F038 DF05 DT02 DT06 DT07 DT17 EZ20 5F064 BB02 BB19 BB31 HH10	